


DIALOG(R) file 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
011212462  Image available

WPI Acc No: 1997-190387 199717

Related WPI Acc No: 1997-190388; 1997-233573; 1997-287100; 2000-288763;
2000-288764

XRAM Acc No: C97-060857

NRPX Acc No: N97-157387

Semiconductor appts. for thin film transistor etc. - comprising heat
absorption film on substrate, semiconductor film, gate electrode and
impurity region

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)

Inventor: HIRANO K; MORIMOTO Y; SOEANI N; YAMAH T; YONIDA K

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9051099	A	19970218	JP 95199979	A	19950804	199717 B
KR 97008658	A	19970224	KR 9626820	A	19960703	199812
US 5771110	A	19980623	US 96677424	A	19960702	199837

Priority Applications (No Type Date): JP 95199979 A 19950804; JP 95167513 A
19950703; JP 95199980 A 19950804; JP 95199981 A 19950804; JP 95199982 A
19950804

Patent Details:

Patent No	Kind	Ln	Pg	Main IPC	Filing Notes
JP 9051099	A	11		H01L-029 786	
KR 97008658	A			H01L-029 78	
US 5771110	A			H01L-029 786	

Abstract (Basic): JP 9051099 A

A semiconductor appts, comprises: (i) a heat absorption film formed
on a substrate; (ii) a semiconductor film formed on the heat absorption
film; (iii) a gate electrode formed on the semiconductor film through a
gate insulation film; and (iv) a region for impurities formed on the
semiconductor film.

USE - Used for providing a thin film transistor etc. which does not
have difference in characteristics.

Dwg.10-17

Title Terms: SEMICONDUCTOR; APPARATUS; THIN FILM; TRANSISTOR; COMPOSITE;
HEAT ABSORB; FILM; SUBSTRATE; SEMICONDUCTOR; FILM; GATE
ELECTRODE; IMPURITY REGION

Derwent Class: I 03; P81; U11; U12; U14

International Patent Class (Main): H01L-029 78; H01L-029 786

International Patent Class (Additional): C 23F-004 00; H01L-021 26;

特開平9-51099

(43)公開日 平成9年(1997)2月18日

(51) Int.Cl.⁶

HOLL 29/786

21/26

21/336

// C 2 3 F 4/00

識別記号 庁内整理番号

Fi

H O 1 L 29/78

C 2 3 F 4/00

1101L 21/26

29/78

626C

A

L

6 1 2 B

616L

技術表示箇所

審査請求 未請求 請求項の数17 O.L (全 11 頁) 最終頁に続く

(21)出願番号 特願平7-199979

(22)出願日 平成7年(1995)8月4日

(71) 出 入 人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)發明者 曾谷 直哉

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 發明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 弁理士 岡田 敬

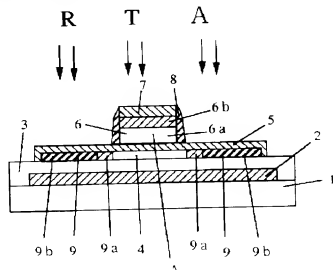
最終頁に続く

(54)【発明の名称】 半導体装置、半導体装置の製造方法、表示装置及び表示装置の製造方法

(57) 【要約】

【課題】 特性にバラツキが少ない薄膜トランジスタなどの半導体装置を提供すること。

【解決手段】 ガラス基板1上にWS₂膜2を形成し、このWS₂膜2をパターンニングし、その上にはSi酸化物膜3で覆い、Si酸化物膜3の上にも多結晶Si膜1を成膜し、この多結晶Si膜1の上に、ゲート絶縁膜5を介してゲート電極6を形成し、多結晶Si膜1に、ソースドレイン領域9となる不純物層を生成し、この不純物層をRTA法により熱処理して活性化する。WS₂膜2は、RTAの熱を吸収する作用があり、多結晶Si膜1を、RTAによる熱とWS₂膜2からの放射熱により、直接及び間接的に加熱することにより、多結晶化される。



【特許請求の範囲】

【請求項1】 基板上に形成された熱吸収膜と、この熱吸収膜の上に形成された半導体膜と、この半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを具備したことを特徴とする半導体装置。

【請求項2】 前記熱吸収膜と半導体膜との間に絶縁膜を形成したことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記熱吸収膜を前記半導体膜にほぼ対応して設けたことを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 前記熱吸収膜が、金属などの導電物質又はシリコンなどの半導体物質であることを特徴とした請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項5】 前記熱吸収膜が透光性を有することを特徴とした請求項1乃至4のいずれか1項に記載の半導体装置。

【請求項6】 前記基板が透明基板であることを特徴とした請求項1乃至5のいずれか1項に記載の半導体装置。

【請求項7】 請求項1乃至6のいずれか1項に記載の半導体装置を、画素駆動用素子及び周辺駆動回路用素子のうち少なくとも一方の素子としてして用いることを特徴とした表示装置。

【請求項8】 基板上に、熱吸収膜を介して、トランジスタの能動層としての半導体膜を設け、この半導体膜に設けられた不純物領域を熱処理して活性化したことを特徴とする半導体装置の製造方法。

【請求項9】 透明基板上に熱吸収膜を形成する工程と、

この熱吸収膜の上に半導体膜を形成する工程と、この半導体膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、

前記半導体膜に不純物領域を形成する工程と、この不純物領域を熱処理して活性化する工程と、を含むことを特徴とした半導体装置の製造方法。

【請求項10】 透明基板上に熱吸収膜を形成する工程と、

この熱吸収膜を所定形状に加する工程と、前記熱吸収膜を絶縁膜で覆う工程と、

前記絶縁膜の上に行うトランジスタの能動層としての半導体膜を形成する工程と、

前記半導体膜に不純物領域を形成する工程と、この不純物領域を熱処理して活性化する工程と、を含むことを特徴とした半導体装置の製造方法。

【請求項11】 前記半導体膜は、多結晶シリコン膜を含むことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 前記半導体膜は、多結晶シリコン膜を含むことを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】 前記半導体膜は、多結晶シリコン膜を含むことを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】 前記半導体膜は、多結晶シリコン膜を含むことを特徴とする請求項13に記載の半導体装置の製造方法。

請求項8乃至10のいずれか1項に記載の半導体装置の製造方法。

【請求項12】 前記熱処理は、レーザーアニール法により行うことを特徴とした請求項11に記載の半導体装置の製造方法。

【請求項13】 前記熱吸収膜が、金属などの導電物質又はシリコンなどの半導体物質であることを特徴とした請求項8乃至11のいずれか1項に記載の半導体装置の製造方法。

【請求項14】 前記熱吸収膜が透光性を有することを特徴とした請求項8乃至13のいずれか1項に記載の半導体装置の製造方法。

【請求項15】 前記熱処理としてR.T.A法(Rapid Thermal Annealing)を用いることを特徴とした請求項8乃至14のいずれか1項に記載の半導体装置の製造方法。

【請求項16】 前記R.T.A法の熱源としてキセノンランプを用いたことを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項17】 請求項8乃至16のいずれか1項に記載の半導体装置の製造方法によって製造した半導体装置を、画素駆動用素子及び周辺駆動回路用素子のうち少なくとも一方の素子として用いることを特徴とした表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ(Thin Film Transistor)などの半導体装置、その製造方法、液晶ディスプレイ(LCD: Liquid Crystal Display)などの表示装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年、アクティブマトリクス方式LCDの画素駆動用素子(画素駆動用トランジスタ)として、透明基板に形成された多結晶シリコン膜を能動層に用いた薄膜トランジスタ(以下、多結晶シリコンTFTと略す)の開発が進められている。

【0003】多結晶シリコンTFTでは、非晶質シリコン膜を能動層に用いた薄膜トランジスタに比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコンTFTを用いければ、高性能LCDを実現できる上に、画素部(表示部)だけでなく周辺駆動回路(ドライバ部)までを同一基板上に一体に形成することができ、

【請求項15】 前記熱処理としてR.T.A法(Rapid Thermal Annealing)を用いることを特徴とした請求項8乃至14のいずれか1項に記載の半導体装置の製造方法。

【請求項16】 前記R.T.A法の熱源としてキセノンランプを用いたことを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項17】 請求項8乃至16のいずれか1項に記載の半導体装置の製造方法によって製造した半導体装置を、画素駆動用素子及び周辺駆動回路用素子のうち少なくとも一方の素子として用いることを特徴とした表示装置の製造方法。

【請求項18】 前記半導体膜は、多結晶シリコン膜を含むことを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項19】 前記半導体膜は、多結晶シリコン膜を含むことを特徴とする請求項18に記載の半導体装置の製造方法。

【請求項20】 前記半導体膜は、多結晶シリコン膜を含むことを特徴とする請求項19に記載の半導体装置の製造方法。

い、高温下で堆積させるという比較的簡単な工程である。

【0005】また、非晶質シリコン膜を堆積した後にこれを多結晶化するには、固相成長法が一般的である。この固相成長法は、非晶質シリコン膜に熱処理を行うことにより、固体のままで多結晶化させて多結晶シリコン膜を得る方法である。多結晶シリコンTFTの製造方法の、図2に示す工程13に基づいて説明する。

【0006】1程A(図16参照):絶縁基板(例えば石英ガラス)51上に、通常のシリコンCVD法を用いて高品質シリコン膜を形成し、更に、窒素 N_2 雰囲気中、温度900℃程度で熱処理を行うことにより、前記高品質シリコン膜を固相成長させて多結晶シリコン膜52を形成する。前記多結晶シリコン膜52を薄膜トランジスタの駆動層として用いるために、フォトリソグラフィ技術、RIE法によるドライエッチング技術により前記多結晶シリコン膜52を所定形状に加工する。

【0007】前記多結晶シリコン膜52の上に、減圧CVD法を用いて、ゲート絶縁膜53としてのシリコン酸化物膜を堆積する。

1. 工程 B (図 1-7 参照) : 前記ゲート絶縁膜 5 3 上に、減圧 CVD 法により多結晶シリコン膜を堆積した後、この多結晶シリコン膜に不純物を注入し、更に熱処理を行って不純物を活性化させる。

【0008】次に、常圧CVD法により、この多結晶シリコン膜の上にシリコン酸化膜を堆積した後、フォトリソグラフィ技術、RIE法によるドライエッチング技術を用いて、前記多結晶シリコン膜及びシリコン酸化膜より所定形状に加工する。前記多結晶シリコン膜は、ゲート電極層として使用する。次に、自己整合技術により、ゲート電極層及びシリコン酸化膜より、マスクとして、多結晶シリコン膜と2つの純物を注入し、ソーラードレイン領域を形成する。

【0009】最後に、更に熱処理を行って、ソース・ド
ーピング領域6としての不純物を活性化させる。このよ
うな方法は、固相成長や不純物活性化の時に900℃程
度の高い温度を使用することから、高品質のSiCと呼ば
れており、耐熱性の高い基板（例えば、石英基板）を用
いる場合には、処理時間が短く済むという利点がある。

【0010】一方では、基板に熱歪みが生じる心配がなく、比較的安価なガラス基板を用いることのできる低温プロセスを用いた開発も盛んである。特に、駆動デバイスであるトランジスタにおいては、高性能化が必要であり、こ

行うことができる。

[0011]

【発明が解決しようとする課題】レーザー光二重法は、ヒーム止査を何度も繰り返して行う必要があるため、検査に長時間がかかるという問題がある。

一方、RTA法は、不純物領域が形成された半導体膜の温度上昇が不均一になって、活性化が良好に行われにくく、素子特性が劣化する問題がある。また、素子を多数製造した場合に、個々の素子の特性にバラツキが生じる問題がある。

【0013】特に、向ふ駆動用素子と周辺駆動回路用素子として、この素子を数〜数百万個も使用する液晶ディスプレイなどの表示装置においては、素子特性のバラツキによって、表示が良好に行われぬ問題がある。本発明は、半導体装置、表示装置及びこれらの製造方法に照し、駆動の問題を解決するものである。

(0.01-1)

【課題を解決するための手段】請求項1の半導体装置にあっては、基板上に形成された熱吸収膜と、この熱吸収膜の上に形成された半導体膜と、この半導体膜の上にゲート絶縁膜を介して形成されたゲート電極と、前記半導体膜に形成された不純物領域とを具備したものである。

【0015】また、請求項2の半導体装置にあっては、前記熱収収膜と半導体膜との間に地層膜を形成したものである。また、請求項3の半導体装置にあっては、前記熱収収膜を前記半導体膜にほぼ対応して設けたものである。また、請求項1の半導体装置にあっては、前記熱収収膜として、金属などの導電物質又はシリコンなどの半導体物質を用いたものである。

【0015】また、請求項5の半導体装置においては、前記熱収収膜が遮光性を有するものである。また、請求項6の半導体装置においては、前記基板として透明基板を用いたものである。また、請求項7の表示装置においては、請求項1乃至6のいずれか1項に記載の半導体装置を、両基膜利用素子及び周辺駆動回路用素子のうち少なくとも一方の素子として用いているものである。

【0017】また、請求項8の半導体装置の製造方法においては、基板に、熱収収膜を介して、トランジスタの駆動部としての半導体膜を設け、この半導体膜に設けられた不純物領域を熱処理して活性化したものであって、また、請求項9の半導体装置の製造方法においては、透明基板に熱収収膜を形成する工程と、この熱収収膜の上に半導体膜を形成する工程と、この半導体膜の上に不純物領域を形成する工程と、この不純物領域を形成する工程とを重複を形成する工程とを有する。

と示されている。特に、RPA法は、アクリル酸、 α -メチルアクリル酸を用いるが、さらに短時間で縮えることができる。

1999, 2000, 2001, 2002, 2003, 2004, 2005, 2006, 2007, 2008, 2009, 2010, 2011, 2012, 2013, 2014, 2015, 2016, 2017, 2018, 2019, 2020, 2021, 2022, 2023, 2024, 2025, 2026, 2027, 2028, 2029, 2030, 2031, 2032, 2033, 2034, 2035, 2036, 2037, 2038, 2039, 2040, 2041, 2042, 2043, 2044, 2045, 2046, 2047, 2048, 2049, 2050, 2051, 2052, 2053, 2054, 2055, 2056, 2057, 2058, 2059, 2060, 2061, 2062, 2063, 2064, 2065, 2066, 2067, 2068, 2069, 2070, 2071, 2072, 2073, 2074, 2075, 2076, 2077, 2078, 2079, 2080, 2081, 2082, 2083, 2084, 2085, 2086, 2087, 2088, 2089, 2090, 2091, 2092, 2093, 2094, 2095, 2096, 2097, 2098, 2099, 2100, 2101, 2102, 2103, 2104, 2105, 2106, 2107, 2108, 2109, 2110, 2111, 2112, 2113, 2114, 2115, 2116, 2117, 2118, 2119, 2120, 2121, 2122, 2123, 2124, 2125, 2126, 2127, 2128, 2129, 2130, 2131, 2132, 2133, 2134, 2135, 2136, 2137, 2138, 2139, 2140, 2141, 2142, 2143, 2144, 2145, 2146, 2147, 2148, 2149, 2150, 2151, 2152, 2153, 2154, 2155, 2156, 2157, 2158, 2159, 2160, 2161, 2162, 2163, 2164, 2165, 2166, 2167, 2168, 2169, 2170, 2171, 2172, 2173, 2174, 2175, 2176, 2177, 2178, 2179, 2180, 2181, 2182, 2183, 2184, 2185, 2186, 2187, 2188, 2189, 2190, 2191, 2192, 2193, 2194, 2195, 2196, 2197, 2198, 2199, 2200, 2201, 2202, 2203, 2204, 2205, 2206, 2207, 2208, 2209, 2210, 2211, 2212, 2213, 2214, 2215, 2216, 2217, 2218, 2219, 2220, 2221, 2222, 2223, 2224, 2225, 2226, 2227, 2228, 2229, 2230, 2231, 2232, 2233, 2234, 2235, 2236, 2237, 2238, 2239, 2240, 2241, 2242, 2243, 2244, 2245, 2246, 2247, 2248, 2249, 2250, 2251, 2252, 2253, 2254, 2255, 2256, 2257, 2258, 2259, 2260, 2261, 2262, 2263, 2264, 2265, 2266, 2267, 2268, 2269, 2270, 2271, 2272, 2273, 2274, 2275, 2276, 2277, 2278, 2279, 2280, 2281, 2282, 2283, 2284, 2285, 2286, 2287, 2288, 2289, 2290, 2291, 2292, 2293, 2294, 2295, 2296, 2297, 2298, 2299, 2300, 2301, 2302, 2303, 2304, 2305, 2306, 2307, 2308, 2309, 2310, 2311, 2312, 2313, 2314, 2315, 2316, 2317, 2318, 2319, 2320, 2321, 2322, 2323, 2324, 2325, 2326, 2327, 2328, 2329, 2330, 2331, 2332, 2333, 2334, 2335, 2336, 2337, 2338, 2339, 2340, 2341, 2342, 2343, 2344, 2345, 2346, 2347, 2348, 2349, 2350, 2351, 2352, 2353, 2354, 2355, 2356, 2357, 2358, 2359, 2360, 2361, 2362, 2363, 2364, 2365, 2366, 2367, 2368, 2369, 2370, 2371, 2372, 2373, 2374, 2375, 2376, 2377, 2378, 2379, 2380, 2381, 2382, 2383, 2384, 2385, 2386, 2387, 2388, 2389, 2390, 2391, 2392, 2393, 2394, 2395, 2396, 2397, 2398, 2399, 2400, 2401, 2402, 2403, 2404, 2405, 2406, 2407, 2408, 2409, 2410, 2411, 2412, 2413, 2414, 2415, 2416, 2417, 2418, 2419, 2420, 2421, 2422, 2423, 2424, 2425, 2426, 2427, 2428, 2429, 2430, 2431, 2432, 2433, 2434, 2435, 2436, 2437, 2438, 2439, 2440, 2441, 2442, 2443, 2444, 2445, 2446, 2447, 2448, 2449, 2450, 2451, 2452, 2453, 2454, 2455, 2456, 2457, 2458, 2459, 2460, 2461, 2462, 2463, 2464, 2465, 2466, 2467, 2468, 2469, 2470, 2471, 2472, 2473, 2474, 2475, 2476, 2477, 2478, 2479, 2480, 2481, 2482, 2483, 2484, 2485, 2486, 2487, 2488, 2489, 2490, 2491, 2492, 2493, 2494, 2495, 2496, 2497, 2498, 2499, 2500, 2501, 2502, 2503, 2504, 2505, 2506, 2507, 2508, 2509, 2510, 2511, 2512, 2513, 2514, 2515, 2516, 2517, 2518, 2519, 2520, 2521, 2522, 2523, 2524, 2525, 2526, 2527, 2528, 2529, 2530, 2531, 2532, 2533, 2534, 2535, 2536, 2537, 2538, 2539, 2540, 2541, 2542, 2543, 2544, 2545, 2546, 2547, 2548, 2549, 2550, 2551, 2552, 2553, 2554, 2555, 2556, 2557, 2558, 2559, 2560, 2561, 2562, 2563, 2564, 2565, 2566, 2567, 2568, 2569, 2570, 2571, 2572, 2573, 2574, 2575, 2576, 2577, 2578, 2579, 2580, 2581, 2582, 2583, 2584, 2585, 2586, 2587, 2588, 2589, 2590, 2591, 2592, 2593, 2594, 2595, 2596, 2597, 2598, 2599, 2600, 2601, 2602, 2603, 2604, 2605, 2606, 2607, 2608, 2609, 2610, 2611, 2612, 2613, 2614, 2615, 2616, 2617, 2618, 2619, 2620, 2621, 2622, 2623, 2624, 2625, 2626, 2627, 2628, 2629, 2630, 2631, 2632, 2633, 2634, 2635, 2636, 2637, 2638, 2639, 2640, 2641, 2642, 2643, 2644, 2645, 2646, 2647, 2648, 2649, 2650, 2651, 2652, 2653, 2654, 2655, 2656, 2657, 2658, 2659, 2660, 2661, 2662, 2663, 2664, 2665, 2666, 2667, 2668, 2669, 2670, 2671, 2672, 2673, 2674, 2675, 2676, 2677, 2678, 2679, 2680, 26

層を絶縁膜で覆う工程と、前記絶縁膜の上にトランジスタの能動層としての半導体膜を形成する工程と、この半導体膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記半導体膜に不純物領域を形成する工程と、この不純物領域を熱処理して活性化する工程とを含むものである。

【0019】また、請求項11の半導体装置の製造方法においては、前記半導体膜が、非晶質シリコン膜を熱処理して多結晶化したものである。また、請求項12の半導体装置の製造方法においては、前記熱処理に、レーザーアニール法を用いたものである。また、請求項13の半導体装置の製造方法においては、前記熱吸収膜として、金属などの導電物質又はシリコンなどの半導体物質を用いたものである。

【0020】また、請求項14の半導体装置の製造方法においては、前記熱吸収膜が透光性を有するものである。また、請求項15の半導体装置の製造方法においては、前記熱処理としてRTA法を用いるものである。また、請求項16の半導体装置の製造方法においては、前記RTA法の熱源としてキセノンレーザーランプを用いたものである。

【0021】また、請求項17の表示装置の製造方法においては、請求項8乃至16のいずれか1項に記載の半導体装置の製造方法によって製造した半導体装置を、画素駆動用素子及び周辺駆動回路用素子のうち少なくとも一方の素子として用いるものである。即ち、熱吸収膜は、熱を吸収し、吸収した熱を放出する機能を有するので、請求項1乃至6の発明によれば、熱吸収膜の存在により、不純物領域の活性化状態が均一な半導体装置を得ることができる。

【0022】特に、請求項3の発明によれば、熱吸収膜を半導体膜ほぼ対応する大きさとしたので、熱吸収膜の機能を必要な部分に的確に作用させ、その他の部分（例えば基板）に熱による悪影響を与えない。また、請求項1の発明によれば、熱吸収膜が導電物質又は半導体物質であるので、基板内に存在するイオンを静電的にシールドする。

【0023】また、請求項4の発明によれば、熱吸収膜が透光性を有するので、これをLEDなどの表示装置に用いた場合、半導体装置に直接入る光の量を減少させることができる。また、請求項7の発明によれば、均一で優れた品質の半導体装置を画素駆動用素子や周辺駆動回路用素子として用いた優れた表示装置を得ることが

ので、これをLEDなどの表示装置に用いた場合、半導体装置に直接入る光の量を減少させることができる。

【0024】また、請求項15の発明によれば、RTA法を用いることにより、短時間で均一に基板に影響を与えることなく不純物の活性化を行う。また、請求項16の発明によれば、RTA法の熱源としてキセノンレーザーランプを用いたので、熱吸収膜による熱吸収が効率的に行われる。また、請求項17の発明によれば、短時間で製造された均一で優れた品質の半導体装置を画素駆動用素子や周辺駆動回路用素子として用いることにより、優れた表示装置を短時間で製造することができる。

【0025】
【発明の実施の形態】本発明を具体化した実施形態を図1乃至図10に就いて説明する。
工程1（図1参照）：石英ガラスや無アルカリガラスなどの基板1上に、スパッタ法を用いて、タンゲンステニシサイド（WSi）膜2（膜厚1000Å、但し50〜2000Åの範囲で調整可能である）を形成する。スパッタ法では、WSiサイドの合金ターゲットを使用する。WSiサイド（WSi_x）の化学組成の組成はX=2であるが、合金ターゲットの組成はX>2に設定する。これはWSiサイド膜2の組成がX=2に近いと、その後の熱処理時に非常に大きな引っ張り応力が生じ、WSiサイド膜2にクラックが発生したり、剥離したりする恐れがあるためである。但し、WSiサイドの抵抗値はX=2の場合に最も低くなるため、クラックや剥離が生じない程度にXの上限を設定する必要がある。

【0026】工程2（図2参照）：前記WSiサイド膜2を、リソグラフィ技術、エッチング技術を用いて、後述するトランジスタの能動層としての多結晶シリコンと同パターンに加工する。

工程3（図3参照）：前記基板1及びWSiサイド膜2を覆うように、SiO₂やSi₃N₄などの絶縁性薄膜3をCVD法やスパッタ法などにより形成する。具体的には、基板1として無アルカリガラスを使用し、その表面上に酸化シリコン（CVD法により、形成温度300〜400℃、膜厚3000〜5000Å）のSiO₂膜を形成する。

【0027】このSiO₂膜の膜厚は、後工程の熱処理やビーム照射などで基板1中の不純物がこのSiO₂膜を透過して上層に拡散しない程度の厚みが必要で、1000〜6000Åの範囲で適切で、2000〜6000Åにしたときに拡散防止効果が良好で、その中でも3000〜4000Åの膜厚が最も適している。また、

図1 工程1の断面図
図2 工程2の断面図
図3 工程3の断面図

図4 工程4の断面図
図5 工程5の断面図
図6 工程6の断面図
図7 工程7の断面図
図8 工程8の断面図
図9 工程9の断面図
図10 工程10の断面図

図11 工程11の断面図
図12 工程12の断面図
図13 工程13の断面図
図14 工程14の断面図
図15 工程15の断面図
図16 工程16の断面図
図17 工程17の断面図

図18 工程18の断面図
図19 工程19の断面図
図20 工程20の断面図
図21 工程21の断面図
図22 工程22の断面図
図23 工程23の断面図
図24 工程24の断面図

図25 工程25の断面図
図26 工程26の断面図
図27 工程27の断面図
図28 工程28の断面図
図29 工程29の断面図
図30 工程30の断面図
図31 工程31の断面図

上に、非晶質シリコン膜1α(膜厚500Å)を形成する。この非晶質シリコン膜1αをTFTの能動層として用いた場合、この能動層が厚すぎると、多結晶シリコンTFTのサブ電流が増大し、薄すぎるとオン電流が減少するため、このときの非晶質シリコン膜1αの膜厚は、400~800Åの範囲が適切で、500~700Åにしたときに特性が良好で、中でも500~600Åの膜厚が特に特長を持っている。

【0030】前記非晶質シリコン膜4aの形成方法には以下のものがある。

1) 減圧(VD)を用いる方法: 減圧CV法でシリコン膜を化成するときは、モノシラン(シ11g)又はジシラン(シ11g)の溶解分を用いる。モノシランを用いた場合、処理温度が550℃以下では非晶質、620℃以上では微結晶となる。そして、550~620℃では微結晶が多量に非晶質が多くなり、温度が低くなるほど非晶質に近づいて微結晶が少なくなる。従って、温度条件を変えるだけで、非晶質/シリコン膜-1中の微結晶の量を調整することができ、

【0031】プラズマCVD法を用いる方法：プラズマCVD法で非晶質シリコン膜を形成するには、プラズマ中でモノシランまたはジシランの熱分解を用いる。実際の工程では、前記1の方法を採用し、使用ガス：モノシラン、温度：350℃の条件下で、微結晶を含まない非晶質シリコン膜を形成している。

工程5(図5参照):前記非晶質シリコン膜4aの表面に波長 $\lambda=248\text{nm}$ のKrFエキシマレーザービームを走査してアニール処理を行い、非晶質シリコン膜4aを熔融再結晶化して、多結晶シリコン薄膜1を形成する。

【0032】この時のレーザー条件は、アニール雰囲気： 1×10^{-4} Pa以下、基板温度：室温 $\sim 600^\circ\text{C}$ 、照射エネルギー密度： $100 \sim 500 \text{ mJ/cm}^2$ 、走査速度： $1 \sim 10 \text{ mm/sec}$ （実験には、 $0.1 \sim 1 \sim 10 \text{ mm/sec}$ ）の範囲の速度で走査可能）である。前記レーザーシステムとしては、波長： $\lambda = 308 \text{ nm}$ のXeClエキシマレーザーを使用してもよい。この時のレーザー条件は、アニール雰囲気： 1×10^{-4} Pa以下、基板温度：室温 $\sim 600^\circ\text{C}$ 、照射エネルギー密度： $100 \sim 500 \text{ mJ/cm}^2$ 、走査速度： $1 \sim 10 \text{ mm/sec}$ （実験には、 $0.1 \sim 100 \text{ mm/sec}$ の範囲の速度で走査可能）である。

【0033】また、波長 $\lambda = 193\text{ nm}$ のArFエキシ

に、エネルギー密度を調整すればよい。

【0034】本実施例では、このエキシマレーザースペー
セルに、高スリットレーザ照射法を用いる。即ち、図14に於いて、101はポッドエキシマレーザ
で、102はミラー、103からのレーザビームを
を反射する反射鏡、104は反射鏡102からのレーザ
ビームを所定の状態に加工し、基板15に照射するレー
ザビーム制御光学系である。

【0035】このような構成において、高圧水素ジェットレーザ照射法とは、レーザビーム制御光学系103によってシート状115(0.5mm×0.5mm)に加工されたレーザビームを、複数回ラスタの重ね合わせにより照射する方法で、ステップごとの走査とラスタレーザ照射を完全に同期させ、きわめて高精度な重複してレーザを照射することによって、高圧水素ジェットを形成するものである。

【0036】工程6（図6参照）：前記多結晶シリコン膜1を酸溶トランジスタの駆動層として用いるために、フォトリソグラフィ技術、P11法によるドライエッチング技術により前記多結晶シリコン膜1を所定形状に加える。そして、前記多結晶シリコン膜1の上に、ローテッドロウズ鉄酸（V）を装置を用いた減圧CVD法により、ゲート絶縁膜としてのLT（膜厚Low Temperature Oxide：シリコン酸化層）5（膜厚1000Å）を形成する。

【0037】工程7（図7参照）：前記ゲート絶縁膜5の上に、第1V₁のV₁により非晶質シリコン膜（膜厚2000Å）6aを堆積する。この非晶質シリコン膜6aは、その形成時に不純物（N型ならし元素とP型ならし元素）がドーピングされていても、アモルファス状態を維持し、その後に不純物が注入してもよい。次に、スパッタ法を用い、前記非晶質シリコン膜6aの上にタングステンシリサイド（W_{1.5}Si₁）膜6b（膜厚1000Å）を形成する。

【0038】そして、常圧CVD法により、前記Wリソレジスト膜のトポに、シリコン酸を設けて堆積した後、シリコン酸を除去し、技術的、R1上基によりポリイミドのゲート層を形成して、前記多結晶シリコン膜、酸化物シリコン膜及びシリコン酸層と、前記Wリソレジスト膜65とよってホリソングラ構造のゲート電極6として使用する。

【0039】工程8（図8参照）：前記ケート絶縁膜5及びシリコン酸化膜7の上に、常圧CVD法によりシリコン酸化物堆積層7'を窒素雰囲気下で形成させる。

(1) 已知反应: $\text{SO}_2 + \text{H}_2\text{O} = \text{H}_2\text{SO}_3$, $K_1 = 1.7 \times 10^{-2}$
 $\text{HSO}_3^- + \text{H}_2\text{O} = \text{H}_2\text{SO}_3 + \text{OH}^-, K_2 = 6.9 \times 10^{-8}$
 求: HSO_3^- 的水解常数 K_h

【0040】工程9（図9参照）：前記セイドウォール8及びシリコン酸化膜7をレジスト10で覆い、再び自己整合技術により、レジスト10をマスクとして多結晶シリコン膜4に、加速電圧：80 KeV、ドーズ量：1.0×10¹⁵ cm⁻²の条件で、リン（P）イオンを不純物として注入し、高濃度の不純物領域9bを形成することにより、LDD（lightly Doped Drain）構造のソース・ドレイン領域9を形成する。

【0011】工程10（図10参照）：この状態で、RTA（Rapid Thermal Annealing）法による急速加熱を行う。即ち、図15において、105はシート状のアニール光を発する光源であり、キセノン（Xe）アークランプ106とそれを包む反射鏡107を1組として、これを上下に相対向させることにより構成している。108、108は基板1を搬送するためのローラー、109は予熱用のプリヒーター、110は加熱炉の基板が急激に冷却されてひび割れないようにするための補助ヒーターである。

【0042】このような構成に於いて、基板1をブリヒータ1106で予熱した後、シート状のフェニール光源1105を通して、熱処理する。この時のRTAの条件は、熱源: Xeアークランプ、温度: 700~950℃(バイロメータ)、雰囲気: N₂、時間: 1~3秒である。RTA法による加熱は、高温を用いるが、きわめて短時間で終えることができるので、基板1が変形する心配はない。

【00143】尚、基板1に対し、急激に高い温度を加えることが必要な場合は、R-Tを複数回に分けて行ってもよい。即ち、各回の時間は1分とすると、回を重ねる毎に温度を、初回：100℃～最終回：700～950℃というように段階的に上昇させる。前記C-グーテラシフの光熱は、多結晶部よりも非晶質部やシリサイド部に強く吸収されるため、必要な部分のみを重点的に加熱することが可能になる。(また)配線の低抵抗化や不導体の活性化に適している。さらに、後述するようにW、Mo、Ti下膜を用いた加熱も有効に行うことができる。

【0011】そして、この急速加熱により、下記「ケース1」の領域9の不飽和が活性化するとともに前記高品質シリコン膜6aとシリサイド膜6bとによるポリシリコンのゲート電極6のシート抵抗が、約20〜22Ω/□にまで下がる。また、活性化処理を行ったソースドレイン領域6のシート抵抗も、10²Ω/□で1〜1.5kΩ/□にまで下がる。

によっても前記多結晶シリコン膜1の不純物の活性化が行われる。即ち、多結晶シリコン膜1を、X線アークラークによる熱とWシリサイド膜2からの放射熱とにより、直接及び間接的に加熱することにより、多結晶シリコン膜1自体を均一に加熱し、活性化がハルツクことな良好に行われるようにする。

【0116】W1シリサイド膜の大きさは、基本的に、
 被塗物、シリコン膜4と同じか又はそれ以上であればよい
 が、面内でのパターン1の大きさに対して面積となるよ
 うに調整すれば、なお好ましい。即ち、集積化と導体デ
 ハイスでは、パターン1の確率が基板上に発生するため、
 各トランジスタに均等にW1シリサイド膜を設けたのは、
 場内では、単位面積当りの熱収収率が異なり、均
 一な熱処理が行えず、また、W1シリサイド膜が集中す
 る場所での温度が非常に高くなって見極に要する場
 合がある。

【0017】そこで、下部に配置した無吸収層の単位面積当たりの密度を、その上部に形成されるバリエーションに曝露した後に一定な値とするには、K、Tで活性化するときの温度分布の偏りを解消することができる。具体的にドライハーフタイプのLCDパネルでは、ドライハーフ部に比べて両面タイプのトラジスタの密度が高いので、ドライハーフ部のトラジスタに対応するWサイズで膜2の大きさを、両面タイプのそれに比べて大々してやることで、基板1全体の温度分布がほぼ均一になる。

【0018】LCDパネルにおいては、回路の面積の約10%がWリサイド膜2となるように調整することが好ましい。この点により、多結晶シリコンTFT(TFT:Thin Film Transistor)(A)が形成される。次に、上記のように製造された多結晶シリコンTFT(A)を両端駆動素子として用いた透過型構成をとる。Cの両端部の構成を図1に基づいて説明する。

【0049】工程1：層間絶縁膜11の形成に先立ち、スパッタ法により、前記基板1の画部領域上にITO (Indium Tin Oxide) からなる補助容量の蓄積電極12を形成する。

ポリビニルアルコールの完全な酢酸エステルを生成する。酢酸エステルは材質としては、シリコン酸化物膜、シリケートガラス、シリコン窒化膜などに用いられ、その形成にはCVD法又はPVD法が用いられる。

【0050】次に、絶縁膜13にソース・ドレイン電極14を形成し、タクトするためのコンタクトホールを形成し、タクト法により、そのコンタクトホールを含む部分の上面に1丁の膜を形成し、その1丁の膜をバタ

[illegible][illegible]

【発明の効果】本発明にあっては、以下の通りの優れた効果を奏する。

1) 熱吸収膜の存在により、不純物領域の活性化状態が均一で優れた品質の半導体装置を得ることができる。
2) 良質な半導体膜を有する半導体装置を短時間で得ることができる。

【0072】3) 特性が均一で且つ優れた品質の半導体装置を画素駆動用素子や周辺駆動回路用素子として用いることにより、表示性能に優れたLCDデバイスなどの表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図2】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図3】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図4】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図5】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図6】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図7】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図8】本発明を具体化した一実施例の製造工程を説明

するための断面図である。

【図9】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図10】本発明を具体化した一実施例の製造工程を説明するための断面図である。

【図11】1.(1)の画素部の製造方法を説明するための概略断面図である。

【図12】アクティブマトリクス方式LCDのブロック構成図である。

【図13】画素の等価回路図である。

【図14】エキシマレーザーガンニール装置の構成図である。

【図15】RTA装置の構成図である。

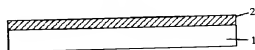
【図16】従来の製造工程を説明するための断面図である。

【図17】従来の製造工程を説明するための断面図である。

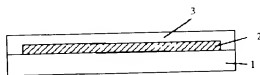
【符号の説明】

- 1 絶縁基板
- 2 Wシリサイド膜（熱吸収膜）
- 3 絶縁性薄膜（絶縁膜）
- 4 多結晶シリコン膜（半導体膜）
- 5 LTO膜（ゲート絶縁膜）
- 6 ゲート電極
- 9 不純物領域

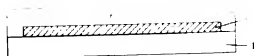
【図1】



【図3】



【図5】



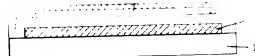
【図2】



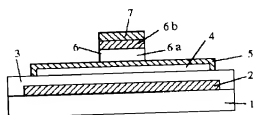
【図4】



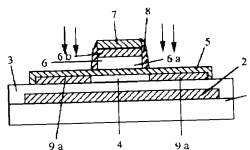
【図6】



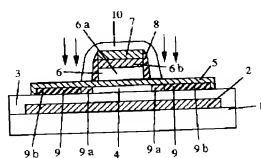
【図7】



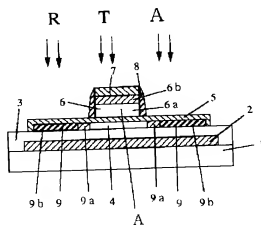
【図8】



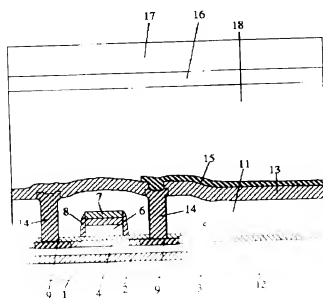
【図9】



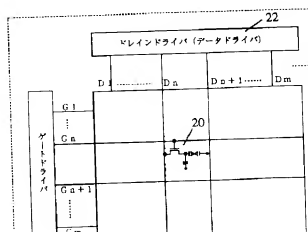
【図10】



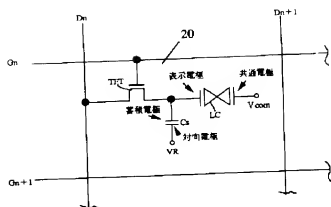
【図11】



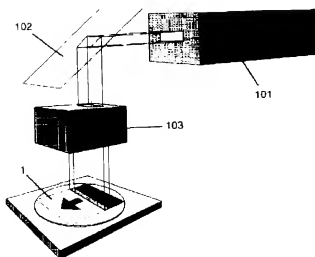
【図12】



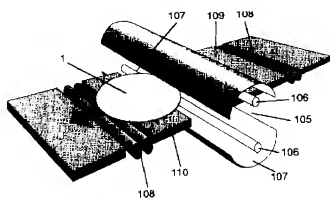
【図13】



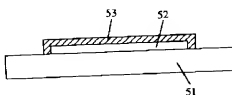
【図14】



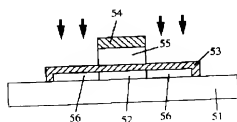
【図15】



【図16】



【図17】



フロントページの続き

(51) Int. Cl. 6

識別記号 字内整理器号

F 1

110 11 L 29/78

技術表示箇所

6 2 7 G